

BEST AVAILABLE COPY

DIALOG(R) File 352:DERWENT WPI

(c) 2000 DERWENT INFO LTD. All rts. reserv.

010255737 **Image available**

WPI Acc No: 95-156992/199521

XRAM Acc No: C95-072266

XRPX Acc No: N95-123668

Monolithic thin film integrated circuit - comprises active circuit and drivers formed on the same substrate

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Inventor: HIROKI M; KONUMA T; ZHANG H; TAKEMURA Y; YAMAMOTO M

Number of Countries: 008 Number of Patents: 008

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 650197	A2	19950426	EP 94307556	A	19941014	H01L-027/12	199521 B
JP 7135323	A	19950523	JP 93285990	A	19931020	H01L-029/786	199529
TW 280010	A	19960701	TW 94109495	A	19941013	H01L-021/331	199642
US 5608251	A	19970304	US 94322165	A	19941013	H01L-029/76	199715
			US 96626578	A	19960402		
US 5620905	A	19970415	US 94322165	A	19941013	H01L-021/84	199721
			US 95413104	A	19950329		
CN 1107257	A	19950823	CN 94112813	A	19941020	H01L-027/02	199732
EP 650197	A3	19970709	EP 94307556	A	19941014	H01L-027/12	199740
JP 10197900	A	19980731	JP 93285990	A	19931020	G02F-001/136	199841
			JP 97368516	A	19931020		

Priority Applications (No Type Date): JP 93285990 A 19931020; JP 97368516 A 19931020

Cited Patents: 1. Jnl. Ref: EP 589478; EP 635890; JP 5241201

Patent Details:

Patent	Kind	Ln	Pg	Filing Notes	Application	Patent
--------	------	----	----	--------------	-------------	--------

EP 650197	A2	E	18			
-----------	----	---	----	--	--	--

Designated States (Regional): DE FR GB NL

JP 7135323	A	12				
------------	---	----	--	--	--	--

US 5608251	A	16	Cont of		US 94322165	
------------	---	----	---------	--	-------------	--

US 5620905	A	16	Div ex		US 94322165	
------------	---	----	--------	--	-------------	--

BEST AVAILABLE COPY

JP 10197900 A

12 Div ex

JP 93285990

Abstract (Basic): EP 650197 A

Semiconductor IC comprises an active matrix circuit formed on a substrate and including a series of TFTs each having first high resistance regions, driving means for driving the active matrix circuit which is formed on the substrate and includes at least another one TFT having second high resistance regions, where a width of the first high resistance regions is larger than that of the second high resistance regions.

USE - Monolithic thin film IC for use in LCDs, image sensors, ultrathin one board PCs, portable terminals.

ADVANTAGE - TFTs provided with high resistance regions having optimum widths can be fabricated on the same substrate, depending on the required TFT characteristics and reliability.

Dwg. 0/6

Title Terms: MONOLITHIC; THIN; FILM; INTEGRATE; CIRCUIT; COMPRISE; ACTIVE; CIRCUIT; DRIVE; FORMING; SUBSTRATE

Derwent Class: L03; P81; U11; U13; U14; W04

International Patent Class (Main): G02F-001/136; H01L-021/331; H01L-021/84; H01L-027/02; H01L-027/12; H01L-029/76; H01L-029/786

International Patent Class (Additional): H01L-021/336; H01L-021/82; H01L-027/01; H01L-027/13

File Segment: CPI; EPI; EngPI

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rights reserved.

04842723 **Image available**

THIN FILM SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS FABRICATION

PUB. NO. : 07-135323 [JP 7135323 A]

PUBLISHED: May 23, 1995 (19950523)

INVENTOR(s): KONUMA TOSHIMITSU

HIROKI MASAOKI

CHIYU KOUYU

YAMAMOTO MUTSUO

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO. : 05-285990 [JP 93285990]

FILED: October 20, 1993 (19931020)

INTL CLASS: [6] H01L-029/786; G02F-001/136

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R004 (PLASMA); R011
(LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation); R131 (INFORMATION PROCESSING -- Microcomputers
& Microprocessors)

ABSTRACT

PURPOSE: To allow the modification of the width of high resistance region depending on the required characteristics and reliability by connecting the source-drain region of at least one thin film transistor with a wiring formed of same film as other gate electrode through a metal wiring formed on an layer insulator.

CONSTITUTION: A layer insulator 117 and the anode oxide 112 of a wiring 108 are etched to make a contact hole 119 at the source-drain of a TFT. Multilayer wirings 120-125 of titanium nitride and aluminium are then formed wherein the wiring 124 is connected with a pixel electrode 118 and

BEST AVAILABLE COPY

the wiring 125 is connected with gate electrodes 106, 107. Each of TFTs 126, 127 formed on a same substrate has an active layer of crystalline silicon and suitable for high speed operation because of its narrow high resistance region whereas a TFT 128 has an active layer of amorphous silicon and suitable for low leak current operation because of its wide high resistance region.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135323

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. [°]	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 有 請求項の数 9 F D (全 12 頁)

(21) 出願番号 特願平5-285990

(22) 出願日 平成5年(1993)10月20日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小沼 利光

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 ▲ひろ▼木 正明

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

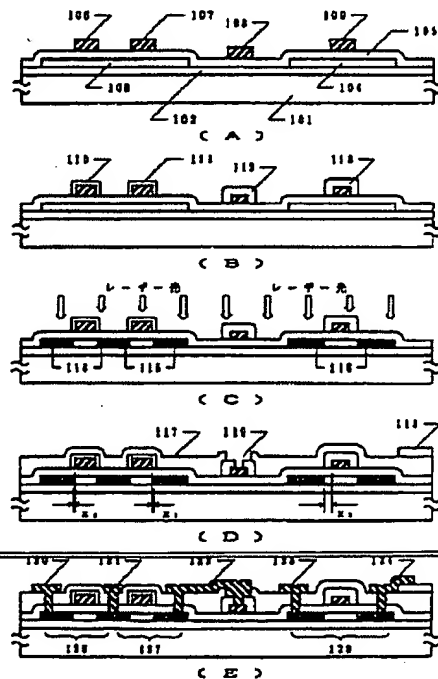
最終頁に続く

(54) 【発明の名称】 薄膜状半導体集積回路およびその作製方法

(57) 【要約】

【目的】 同一基板上に最適な特性を示す薄膜トランジスタ (T F T) を多数有する集積回路を提供する。

【構成】 絶縁表面上に、少なくともゲート電極の側面に陽極酸化物を有する薄膜トランジスタ (T F T) を多数形成する。そして、それぞれのT F Tにおいて必要とされる信頼性、特性に応じて前記陽極酸化物の厚さを変える。かくすることによって、同一基板上にそれぞれの目的にとって最適な特性、信頼性を示すT F Tを多数形成した半導体集積回路を形成することができる。



【特許請求の範囲】

【請求項1】 絶縁表面上に、高抵抗領域の幅の異なる薄膜トランジスタを少なくとも2つ有し、かつ、少なくとも1つの薄膜トランジスタのソース/ドレイン領域と、他の薄膜トランジスタのゲイト電極もしくはゲイト電極と同一被膜によって形成された配線とが、層間絶縁物上に形成された金属配線によって接続されていることを特徴とする半導体集積回路

【請求項2】 複数の薄膜トランジスタを有するアクティブマトリクス回路と、該回路を駆動するためのドライバ回路およびデコーダ回路とを同一基板上に有する半導体集積回路において、前記アクティブマトリクス回路中の任意のNチャネル型薄膜トランジスタの高抵抗領域の幅は、前記ドライバ回路中のNチャネル型薄膜トランジスタの高抵抗領域の幅よりも大きいことを特徴とする半導体集積回路。

【請求項3】 複数の薄膜トランジスタを有するアクティブマトリクス回路と、該回路を駆動するためのドライバ回路およびデコーダ回路とを同一基板上に有する半導体集積回路において、前記デコーダ回路中のNチャネル型薄膜トランジスタの高抵抗領域の幅はドライバ回路中のNチャネル型薄膜トランジスタの高抵抗領域の幅よりも大きいことを特徴とする半導体集積回路。

【請求項4】 複数の薄膜トランジスタを有するアクティブマトリクス回路と、該回路を駆動するためのドライバ回路およびデコーダ回路とを同一基板上に有する半導体集積回路において、CPU回路、メモリー回路、入出力回路の薄膜トランジスタの高抵抗領域の幅はアクティブマトリクス回路の薄膜トランジスタの高抵抗領域の幅よりも大きいことを特徴とする半導体集積回路。

【請求項5】 請求項2において、アクティブマトリクス回路中の薄膜トランジスタを覆って窒化珪素を主成分とする被膜が設けられ、かつ、該被膜はソース/ドレインの一部もしくは全部、およびゲイト電極を覆うゲイト電極の酸化物を主成分とする絶縁被膜に密着するとともに、アクティブマトリクス中の透明導電性被膜とも密着することを特徴とする半導体集積回路。

【請求項6】 同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとをそれぞれ少なくとも1つ有する半導体集積回路において、Nチャネル型の薄膜トランジスタの高抵抗領域の幅はPチャネル型の薄膜トランジスタの高抵抗領域の幅よりも常に大きいことを特徴とする半導体集積回路。

【請求項7】 絶縁表面上に、絶縁被膜によって表面の覆われた少なくとも2つの独立した第1および第2の薄膜状半導体領域と前記絶縁被膜上に設けられ、第1および第2の半導体領域を横断し、互いに独立な第1および第2の配線とを有し、かつ、該第1および第2の配線の少なくとも側面には該配線の酸化物を主成分とする絶縁物が設けられ、第1の配線の絶縁物の厚さは第2の配線

の絶縁物の厚さよりも大であることを特徴とする半導体装置。

【請求項8】 請求項7において、第1の半導体領域の配線の下領域の結晶性は、第2の半導体領域のものよりも低いことを特徴とする半導体装置。

【請求項9】 絶縁表面上に、第1および第2の薄膜状半導体領域を形成する第1の工程と、前記薄膜状半導体領域を覆って絶縁被膜を形成する第2の工程と、

前記絶縁被膜上に第1および第2の半導体領域をそれぞれ横断する第1および第2の電気的に互いに絶縁された2つの配線を形成する第3の工程と、

前記第1および第2の配線に同時にもしくは独立に電解溶液中で通電することによって、すくなくともそれぞれの配線の側面に該配線の酸化物を主成分とする絶縁物を形成する第4の工程とを有する半導体装置の作製方法において、第4の工程における第1の配線への通電時間は、第2の配線への通電時間よりも長いことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、絶縁表面上に薄膜状の絶縁ゲイト型半導体装置（薄膜トランジスタもしくはTFT）が多数形成された集積回路の信頼性および特性を向上させる方法に関する。本発明による半導体装置は、液晶ディスプレイ等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサやマイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等）に使用されるものである。特に、本発明は、電気光学装置を駆動するアクティブマトリクス回路と、その駆動のためのドライバ回路、あるいはメモリー回路と中央演算回路（CPU）とを同一基板上に形成するモノリシック型の薄膜集積回路およびその作製方法に関する。

【0002】

【従来の技術】 近年、絶縁基板上、もしくは半導体基板上であっても厚い絶縁膜によって半導体基板と隔てられた表面（絶縁表面）上に絶縁ゲイト型半導体装置（MISFET）を形成する研究が盛んに成されている。特に半導体層（活性層）が薄膜状である半導体装置を薄膜トランジスタ（TFT）という。このような半導体装置においては、単結晶の半導体のような良好な結晶性を有する素子を得ることは困難で、通常は結晶性は有するが単結晶でない、非単結晶の半導体を用いていた。

【0003】 このような非単結晶半導体は、単結晶半導体に比較して特性が悪く、特に、ゲイト電極に逆電圧（すなわち、Nチャネル型TFTの場合には負、Pチャネル型TFTの場合には正の電圧）を印加した場合に、ソース/ドレイン間のリーク電流が増加するという

問題があった。また、かかるTFTの移動度が電圧の印加によって低下するという劣化の問題もあった。このような問題を解決するためには、ソース/ドレイン領域とゲート電極の間に真性もしくは弱いN型やP型の高抵抗領域を設ける必要があることが知られている。特に、高抵抗領域を作製する際には、ゲート電極を陽極酸化、その他の方法で少なくともその側面を酸化させ、この酸化物もしくは酸化物の跡を利用して自己整合的にドーピングをおこなうことによって、均一な幅の高抵抗領域を得ることができた。

【0004】

【発明が解決しようとする課題】しかしながら、このような高抵抗領域はソース/ドレイン間に直列に挿入された抵抗としても機能するので、例えば、高速動作が必要な場合にはかえって不必要なものであった。特に、同一絶縁表面上に異なった特性を要求されるTFTを形成する場合には問題であった。例えば、電気光学素子を駆動するアクティブマトリクス回路と、その回路を駆動するためのドライバ回路とを同一基板上に有するモノリシック回路を考えると、アクティブマトリクス回路においては、リーク電流が低い方が望ましいので、高抵抗領域の幅が広いTFTが望まれた。

【0005】しかしながら、デコーダ回路やドライバ回路、さらには、CPU、メモリ回路等においては、高速動作の必要上、高抵抗領域の幅は小さい方が望まれた。しかしながら、同一基板上に同一プロセスで形成されたTFTでは、高抵抗領域の幅は全て同じであり、上記のような回路、目的に応じて高抵抗領域の幅を変更するということは困難であった。そのため、モノリシック型のアクティブマトリクス回路や、さらにそれを発展させたモノリシック集積回路を作製することは困難であった。本発明は、このような困難を解決し、TFTや回路の必要とする特性、信頼性に応じて高抵抗領域の幅を変更した半導体集積回路およびその作製方法に関する。

【0006】

【課題を解決するための手段】本発明の第1は、ゲート電極の陽極酸化工程において、TFTに応じて陽極酸化時間を変化させることによって、得られる高抵抗領域の幅を変更するものである。本発明の第2は、モノリシック型アクティブマトリクス回路において、低オフ電流、低周波動作のアクティブマトリクス回路中のTFTの高抵抗領域の幅を、大電流駆動、高周波動作のドライバ回路、低消費電力、高周波動作のデコーダ回路中のTFTのものよりも大きくしたものである。本発明の第3は、Nチャネル型TFTの高抵抗領域の幅をPチャネル型TFTのものよりも大きくするものである。

【0007】例えば、モノリシック型のアクティブマトリクス回路においては、アクティブマトリクス回路中のTFTの高抵抗領域の幅は0.4~1 μ m、ドライバ

回路においては、Nチャネル型TFT（以下、NTFTという）で、0.2~0.3 μ m、Pチャネル型TFT（以下、PTFTという）においては0~0.2 μ mとする。さらに、中央演算回路（CPU）その他の論理演算素子/回路に用いられるデコーダにおいても、Nチャネル型TFTでは0.3~0.4 μ m、Pチャネル型TFTにおいては0~0.2 μ mとする。このように、本発明では、アクティブマトリクス回路のTFTの高抵抗領域の幅は、ドライバ、デコーダのTFTのものよりも大きく、Nチャネル型TFTの高抵抗領域の幅はPチャネル型TFTのものより大きいことを特徴とする。

【0008】前記のようにアクティブマトリクス回路のTFTの高抵抗領域の幅が、ドライバやデコーダのTFTの幅よりも大きな理由は要求されるTFTの特性が、前者は低リーク電流、後者は高速動作というように互いに異なるからである。一方、同じドライバもしくはデコーダにおいて、Nチャネル型TFTとPチャネル型TFTとで高抵抗領域の幅を変えることは以下の理由による。

【0009】特にNチャネル型TFTにおいて、弱いN型の高抵抗領域を設けると、ドレイン近傍の電界を緩和させて、ホットキャリア効果による劣化を抑制することができる。したがって、この場合のNチャネル型TFTの高抵抗領域は弱いN型であることが望まれる。一方、Pチャネル型TFTにおいては、ホットキャリアによる劣化は少ないので、特にこのような高抵抗領域を設けなくともよい。逆に、高抵抗領域の存在はTFTの動作速度の低下をもたらす。Pチャネル型TFTの移動度はNチャネル型TFTよりも劣るので可能な限り、高抵抗領域の幅は小さい方が好ましい。その結果、上述のようにNチャネル型TFTの高抵抗領域の幅がPチャネル型TFTのものよりも大きくなるのである。

【0010】

【実施例】

【実施例1】本発明によって、異種のTFTを有する集積回路を作製する例を図1および図2に示す。図1の(A)、(B)、(C)は、図1の(A) (B) (C) (D) (E)と、それぞれほぼ対応した、平面図を、図2は、図2中の一点鎖線で示された部分の断面である。まず、基板（コーニング7059、300mm \times 300mmもしくは100mm \times 100mm）の上に、厚さ1000~3000Åの酸化珪素膜をスパッタ法によって堆積した。これは、プラズマCVD法によって形成してもよい。

【0011】その後、プラズマCVD法やIPEC法によってアモルファス状のシリコン膜を300~1000Å、好ましくは500~1000Å堆積し、アニール（ターニングして、島状シリコン領域1034Åを形成した。そして、厚さ200~1500Å、

くは500~1000Åの酸化珪素をスパッタ法もしくはプラズマCVD法によって形成した。この酸化珪素膜はゲイト絶縁膜としても機能するので、その作製には十分な注意が必要である。例えば、プラズマCVD法を用いる場合には、TEOSを原料とし、酸素とともに基板温度150~400℃、好ましくは200~250℃で、RF放電させて、原料ガスを分解・堆積した。TEOSと酸素の圧力比は1:1~1:3、また、圧力は0.05~0.5 torr、RFパワーは100~250Wとした。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を150~400℃、好ましくは200~250℃として形成してもよい。

【0012】そして、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、シリコン領域103のみを結晶化させた。レーザーのエネルギー密度は200~400mJ/cm²、好ましくは250~300mJ/cm²とし、また、レーザー照射の際には基板を300~500℃に加熱した。レーザーとしてはXeClエキシマーレーザー（波長308nm）、その他を用いてもよい。シリコン領域104はアモルファスのままであった。

【0013】その後、厚さ2000Å~5μm、例えば、6000Åのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターンニングし、ゲイト電極106、107、109および配線108を形成した。アルミニウムにはスカンジウム（Sc）を0.05~0.3重量％ドーピングしておく。加熱によるヒロックの発生が抑制された。この状態を図1（A）および図2（A）に示す。図2（A）から明らかなように、ゲイト電極109と配線108は電気的に接続されており、また、ゲイト電極106、107とゲイト電極109、配線108とは、電気的に独立している。以下、前者をA系列、後者をB系列と称する。次に基板をpH≒7、1~3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極、このアルミニウムのゲイト電極を陽極として、陽極酸化をおこなった。このような中性の溶液を用いて得られる陽極酸化物はバリア型陽極酸化物と呼ばれ、緻密で耐圧も高い。

【0014】陽極酸化の際には、陽極の電源端子は独立して制御できるものを2種類用意し、A系列とB系列とは異なる端子に接続した。陽極酸化は、最初、A系列およびB系列の両方に、一定電流を印加し続け、第1の電圧、V₁まで電圧を上げ、その状態で1時間保持した。その後、A系列は電圧V₁を保ったまま、B系列には一定の電流を印加し続け、第2の電圧V₂まで電圧を上昇した。このように2段階の陽極酸化をおこなったために、A系列とB系列とはゲイト電極の側面、および上面に形成される陽極酸化物の厚さが異なり、後者の方が厚くなる。V₁としては、50~150Vが好ましく、

ここでは、100Vとした。V₂としては、100~250Vが好ましく、ここでは、200Vとした。本実施例では定電流状態では、電圧の上昇速度は2~5V/分が適当であった。当然ではあるが、V₁<V₂である。この結果、A系列であるゲイト電極106、107には厚さ約1200Åの陽極酸化物110、111が、また、ゲイト電極109と配線108には厚さ2400Åの陽極酸化物112、113がそれぞれ形成された。

（図1（B））

【0015】その後、イオンドーピング法（プラズマドーピング法ともいう）によって、各TFTの島状シリコン膜中に、公知のCMOS技術、自己整合不純物注入技術を用いて、不純物イオン（燐、ホウ素）を注入した。ドーピングガスとしてはフォスフィン（PH₃）およびジボラン（B₂H₆）を用いた。ドーピング量は、2~8×10¹⁵cm⁻²とした。この結果、N型不純物（燐）領域114、116およびP型不純物（ホウ素）領域115が形成された。それは、図面でNTFT126、128、PTFT127を形成するためである。

【0016】さらに、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、上記不純物領域の導入によって結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は150~400mJ/cm²、好ましくは200~250mJ/cm²であった。こうして、N型不純物領域114、116およびP型の不純物領域115が活性化された。これらの領域のシート抵抗は200~800Ω/□であった。本工程はRTA（ラピッド・サーマル・アニール）によっておこなってもよい。（図1（C）、図2（B））

【0017】以上の工程によって、それぞれのTFTのオフセット領域（高抵抗領域）の幅が決定された。すなわち、図1の左側の2つのTFTでは、陽極酸化物110、111の厚さが約1200Åなので、オフセット幅x₁、x₃はイオンドーピングの際の回りこみを考慮して約1000Åであり、右側のTFTでは、陽極酸化物113の厚さが約2400Åなので、オフセット幅x₂は約2000Åであった。（図1（D）参照）高周波動作のTFT126、127のオフセット幅x₁、x₃は、低オフ電流の要求されるNTFT128のオフセット幅x₂よりも小さいことが必要である。しかし、また、NTFTはドレインの逆バイアスでのホットキャリアによる劣化が多発しやすいため、PTFTよりもオフセット幅を大とすることが好ましい。すなわち、x₃>x₁である。また、オフ電流が少なく、かつ、高いドレイン電流が印加されるNTFT128は大きなオフセット幅を有するためx₂>x₃である。

【0018】その後、ゲイト電極および配線（図1（C）の130）を分断して、回路に必要な長さにした。そして、全面に層間絶縁物117として、TEOSを原料として、これと酸素とのプラズマCVD法、もし

くはオゾンとの減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ3000~10000Å、例えば、6000Å形成した。この際にフッ素を六フッ化二炭素(C₂F₆)を用いて反応させて酸化珪素中に添加するとステップカバレッジが改善できる。基板温度は150~400℃、好ましくは200℃~300℃とした。さらに、スパッタ法によってITO被膜を堆積し、これをパターニングして画素電極118とした。そして、前記層間絶縁物117および配線108の陽極酸化物112をエッチングして、コンタクトホール119を形成した。(図1(D))

【0019】その後、層間絶縁物とゲイト絶縁膜105をエッチングし、TFTのソース/ドレインにコンタクトホールを形成した。図1には示されていないが、このコンタクトホール形成の際に、同時に、陽極酸化物110、111をもエッチングして、ゲイト電極106、107へもコンタクトホールが形成されている。(図2(C)参照)そして、窒化チタンとアルミニウムの多層膜の配線120~125を形成した。配線124は画素電極118に接続させた。また、ゲイト電極106、107には先に形成されたコンタクトホールを介して、配線125が接続した。最後に、水素中で200~300℃で0.1~2時間アニールして、シリコンの水素化を完了した。このようにして、集積回路が完成した。(図1(E)、図2(C))

【0020】本実施例では、厚い陽極酸化物113をエッチングしてコンタクトホールを形成する工程と、その他のコンタクトホールを形成する工程を別々におこなった。もちろん、同時におこなってもよいのであるが、本実施例において、量産性を犠牲にして、あえてこのようにしたのは、前者の厚さが、後者よりも陽極酸化物の厚さの差、1200Åだけ厚く、かつ、本実施例で得られたバリヤ型陽極酸化物のエッチングレートが、酸化珪素等と比較して極めて小さいからであり、この両者を同時にエッチングすると、エッチングされやすい酸化珪素膜で覆われたソース、ドレインへのコンタクトホールが大幅にエッチングされ、ソース、ドレインにまで孔があいてしまうからである。

【0021】このようにして、異種のTFTが同一基板上に形成された。すなわち、図1および図2の左側の2つのTFT126、127は活性層が結晶性シリコンで高抵抗領域(オフセット領域)の幅の小さいTFTで高速動作に適しており、右側のTFT129は活性層がアモルファスシリコンで高抵抗領域(オフセット領域)の幅の大きなTFTで低リーク電流を特徴としている。TFT128の活性層はTFT127、128よりも結晶化の程度の低い結晶性シリコンでも同じ効果が得られる。同じプロセスを用いてモノリシック型アクティブマトリクスを作製する場合には、前者をドライバー回路に、後者をアクティブマトリクス回路に用いればよいこ

とはいうまでもない。

【0022】ホットキャリアによる劣化はNTFTによく見られるが、チャネル幅の大きなドライバーTFT(このオフセット幅を x_4 とする)では、あまり観察されない。また、高周波動作を要求されるデコーダー回路、特にシフトレジスタ、CPU、メモリー、その他の補正回路のNTFT(そのオフセット幅を x_3 とする)は、チャネル幅が小さく、かつ、チャネル超も小さくする必要があるので、アクティブマトリクス回路中のTFT128(そのオフセット幅を x_2 とする)よりもドレイン電圧が低いために劣化が少ない。このため、 $x_4 < x_3 < x_2$ であることが求められる。そして、PTFTのオフセット幅 x_1 はドライバーTFTでもその外の補助回路でも劣化がほとんどないため、 $x_1 \leq x_4$ であることが許される。

【0023】【実施例2】 図3および図4に本実施例を示す。図3は、図4中の一点鎖線で示された部分の断面である。まず、基板(コーニング7059、300mm×400mmもしくは100mm×100mm)201上に下地酸化膜202として厚さ1000~3000Å、例えば、2000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を用いてもよい。

【0024】その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を300~5000Å、好ましくは500~1000Å堆積し、これを、550~600℃の還元雰囲気中24時間放置して、結晶化せしめた。この工程は、レーザー照射によっておこなってもよい。そして、このようにして結晶化させた珪素膜をパターニングして島状の活性層領域203および204を形成した。さらに、この上にスパッタ法によって厚さ700~1500Åの酸化珪素膜205を形成した。

【0025】その後、厚さ1000Å~3μm、例えば、6000Åのアルミニウム膜(1wt%のSi、もしくは0.1~0.3wt%のScを含む)を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトリソ(例えば、東京応化製、OFPR800/30cp)をスピンコート法によって形成した。フォトリソの形成前に、アルミニウム膜の全表面に陽極酸化法によって厚さ100~1000Åの酸化アルミニウム膜を表面に形成しておくこと、フォトリソとの密着性が良く、また、フォトリソからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトリソとアルミニウム膜をパターニングして、アルミニウム膜と一緒にエッチングし、配線部206、209、ゲイト電極部207、20

8、210を形成した。(図3(A))

【0026】これらの配線、ゲイト電極の上には前記のフォトレジストが残されており、これは後の陽極酸化工程において陽極酸化防止のマスクとして機能する。この状態を上から見た様子を図4に示す。この場合も、実施例1と同様に、ゲイト電極207、208および配線209と、配線206とゲイト電極210とは電氣的に独立しており、前者をA系列、後者をB系列と称する。

(図4(A))

【0027】そして、上記の配線、ゲイト電極のうち、B系列にのみ電解液中で電流を通じて陽極酸化し、厚さ3000Å～25μm、例えば、厚さ0.5μmの陽極酸化物211、212を配線、ゲイト電極の側面に形成した。陽極酸化は、3～20%のクエン酸もしくはシュウ酸、リン酸、クロム酸、硫酸等の酸性水溶液を用いておこなう。5～30V、例えば、8Vの一定電流をゲイト電極に印加しておこなった。このようにして形成された陽極酸化物は多孔質のものであった。本実施例では、シュウ酸溶液(30～80℃)中で電圧を8Vとし、20～240分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間および温度によって制御した。この際、A系列には電流が流されていないのでゲイト電極207、208、配線209には陽極酸化物は形成されなかった。

(図3(B)、図4(B))

【0028】次に、マスクを除去し、再び電解溶液中において、ゲイト電極・配線に電流を印加した。今回は、3～10%の酒石液、硼酸、硝酸が含まれた $\text{PH} \approx 7$ のエチレングリコール溶液を用い、A系列、B系列ともに通電した。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、ゲイト電極・配線206～210の上面および側面にバリヤ型の陽極酸化物213～217が形成された。陽極酸化物213～217の厚さは印加電圧に比例し、例えば、印加電圧が100Vで1200Åの陽極酸化物が形成された。本実施例では、電圧は100Vまで上昇させたので、得られた陽極酸化物の厚さが1200Åであった。バリヤ型の陽極酸化物の厚さは任意であるが、あまり薄いと、後で多孔質陽極酸化物をエッチングする際に、アルミニウムを溶出させてしまう危険があるので、500Å以上が好ましかった。

【0029】注目すべきは、バリヤ型の陽極酸化物は後の工程で得られるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、多孔質陽極酸化物とゲイト電極の間にバリヤ型の陽極酸化物が形成されることである。(図3(C))その後、イオンドーピング法によって、TFETの活性層203、204に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)およびゲイト絶縁膜をマスクとして自己整合的に不純物を注入し、不純物(ソース/ドレイン)領域218、219、220を形成した。ドーピングガ

スとしてはフォスフィン(PH_3)およびジボラン(B_2H_6)を用いた。ドーパ量は $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、加速エネルギーは50～90keVとした。領域218および220はN型、領域219はP型となるように不純物を導入した。領域218により、NTFT228、領域219によりPTFT229、領域220により、NTFT230が作られる。

【0030】この結果、図の左側の2つのTFET(これらは相補型TFETである)228、229では、ゲイト電極の側面の陽極酸化物214、215の厚さが約1200Åであるので、ゲイト電極と不純物領域の重ならない領域(オフセット領域)の幅 x_1 、 x_3 は、イオンドーピングの際の回りこみを考慮して約1000Åであった。一方、右側のTFET230では、陽極酸化物212および217の厚さが合わせて約6200Åなので、オフセット幅 x_2 は約6000Åであった。

【0031】その後、リン酸、酢酸、硝酸の混酸を用いて多孔質陽極酸化物211、213をエッチングした。このエッチングでは陽極酸化物211、213のみがエッチングされ、エッチングレートは約600Å/分であった。バリヤ型陽極酸化物213～217や酸化珪素膜205はそのまま残存した。その後、KrFエキシマレーザー(波長248nm、パルス幅20ns)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図3(E))

【0032】そして、ゲイト電極・配線を分断して、必要とする大きさ、形状とした。(図4(C))。さらに、全面に層間絶縁物221として、CVD法によって酸化珪素膜を厚さ6000Å形成した。次いで、厚さ800ÅのITO膜をスパッタ法によって形成し、これをバタニングして、画素電極222を形成した。そして、層間絶縁物221およびゲイト絶縁膜205をエッチングして、TFETのソース/ドレインにコンタクトホールを形成し、同時に、層間絶縁物221および陽極酸化物213～217をエッチングして、ゲイト電極・配線にコンタクトホールを形成した。本実施例では、実施例1とは異なり、陽極酸化物はA系列、B系列のいずれもほぼ同じ厚さであるので、これらを同時にエッチングすることができ、したがって、フォトリソ工程は、実施例1の場合よりも1つ少なくなる。最後に、アルミニウム配線・電極223～226を形成し、200～400℃で水素アニールをおこなった。

【0033】なお、配線223は配線206と相補型TFETのNチャネル型TFETのソースを接続し、配線225は相補型TFETのTFETのPチャネル型TFETのソースと配線209を接続する。また、配線224、226は相補型TFETの出力端子(すなわち、Nチャネル型TFETとPチャネル型TFETのドレイン)と右のTFETのドレインとを接続する。さらに、配線227は右のTFETのドレインと画素電極222とを接続す

る。以上によって、TFTを有する集積回路が完成された。(図3(F))

【0034】また、特にA系列において、実施例に示したごとく、ドライバーは大電流駆動となるため、PTFT(高抵抗領域幅を x_1 とする)、NTFT(高抵抗領域幅を x_4 とする)とも劣化が少ない。また、デコーダー、CPU、シフトレジスタ、メモリーその他の駆動回路は小消費電力であり、かつ、高周波動作のため、チャネル幅、チャネル長とも小さく、ホットキャリアによる劣化が発生しやすい。これらの回路に用いられるNTFTの高抵抗領域の幅 x_3 は、PTFTの高抵抗領域の幅 x_1 よりも大なることが必要である。また、大電圧の印加されるアクティブマトリクス回路中のNTFT(高抵抗領域幅を x_2 とする)は、必要とされる移動度も小さいため、劣化が非常に発生しやすく、結果として、信頼性向上のためには、 $x_2 > x_3 > x_4 \geq x_1$ であることが求められる。例えば、 x_2 は $0.5 \sim 1 \mu\text{m}$ 、 x_3 は $0.2 \sim 0.3 \mu\text{m}$ 、 x_4 は $0 \sim 0.2 \mu\text{m}$ 、 x_1 は $0 \sim 0.1 \mu\text{m}$ である。かくすると、シフトレジスタは $1 \sim 50 \text{MHz}$ で動作させることができた。本実施例では、画素電極の制御をおこなうTFT(右のTFT)のオフセットの幅が実施例1よりも十分に大きいのでリーク電流を抑える効果が大である。

【0035】〔実施例3〕図5に本実施例を示す。本実施例は、モノリシック型アクティブマトリクス液晶ディスプレイに関するもので、図の左側はドライバー回路の相補型TFTを、右側はアクティブマトリクス回路の画素制御用TFTを示している。まず、基板(コーニング7059、 $300 \text{mm} \times 400 \text{mm}$)301上に下地酸化膜302として厚さ 2000\AA の酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中のスパッタ法もしくはプラズマCVD法で分解・堆積した膜を用いるとよい。

【0036】その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を $300 \sim 5000 \text{\AA}$ 、好ましくは $500 \sim 1000 \text{\AA}$ 堆積し、これを、 $550 \sim 600^\circ\text{C}$ の還元雰囲気中に24時間放置して、結晶化せしめた。そして、このようにして結晶化させたシリコン膜をパターンニングして島状活性層領域303、304を形成した。さらに、この上にスパッタ法によって厚さ $700 \sim 1500 \text{\AA}$ の酸化珪素膜205を形成した。

【0037】その後、厚さ $1000 \text{\AA} \sim 3 \mu\text{m}$ 、例えば、 6000\AA のアルミニウム(0.1～0.3wt%のScを含む)膜をスパッタ法によって形成した。そして、実施例2(図3(A)～(C)参照)と同様な方法で、アルミニウム膜上にフォトリソをスピンコート法によって形成した。フォトリソの形成前には、陽極酸化法によって厚さ $100 \sim 1000 \text{\AA}$ の酸化アルミニウム膜をアルミニウム表面に形成した。その後、フォトリソとアルミニウム膜をパターンニングして、アル

ミニウム膜と一緒にエッチングし、ゲイト電極306、307、308および配線309を形成した。ゲイト電極306とゲイト電極307とゲイト電極308は電気的に独立であり、また、ゲイト電極308と配線309は電気的に接続されている。

【0038】さらにこれに電解液中で電流を通じて陽極酸化し、厚さ $3000 \text{\AA} \sim 25 \mu\text{m}$ の陽極酸化物を形成した。陽極酸化は、3～20%のクエン酸もしくはシュウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いておこなう。5～30Vの一定電流をゲイト電極に印加した。このようにして得られた陽極酸化物は多孔質である。本実施例ではシュウ酸溶液(30℃)中で電圧を8Vとし、20～140分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御し、ゲイト電極306および307には、 $500 \sim 2000 \text{\AA}$ 、例えば 1000\AA の薄い陽極酸化物を形成し、ゲイト電極308と配線309には、 $3000 \sim 9000 \text{\AA}$ 、例えば、 5000\AA の厚い陽極酸化物を形成した。

【0039】次に、マスクを除去し、再び電解溶液中において、ゲイト電極に電流を印加した。今回は、3～10%の酒石液、硼酸、硝酸が含まれた $\text{pH} \approx 7$ のエチレンジアミン溶液を用いた。また、今回は全てのゲイト電極・配線に同じだけの電圧を印加した。このため、全てのゲイト電極・配線の上面および側面にバリヤ型の陽極酸化物が形成された。本実施例では、バリヤ型陽極酸化物の厚さは 1000\AA とした。(図5(A))

【0040】その後、ドライエッチング法によって酸化珪素膜305をエッチングした。このエッチングにおいては、等方性エッチングのプラズマモードでも、あるいは異方性エッチングの反応性イオンエッチングモードでもよい。ただし、珪素と酸化珪素の選択比を十分に大きくすることによって、活性層を深くエッチングしないようにすることが重要である。例えば、エッチングガスとして CF_4 を使用すれば陽極酸化物はエッチングされず、すなわち、ゲイト電極306、307、308、配線313の下部に存在する酸化珪素膜305はエッチングされずに、それぞれ、ゲイト絶縁膜310、311、312、絶縁膜313として残った。(図5(B))

【0041】その後、磷酸、酢酸、硝酸の混酸を用いて多孔質陽極酸化物をエッチングした。そして、イオンドーピング法によって、TFTの活性層303、304に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)およびゲイト絶縁膜をマスクとして自己整合的に不純物を注入した。この際には、イオンの加速電圧とドーズ量によって、不純物領域にさまざまな組合せが考えられる。例えば、加速電圧を $50 \sim 90 \text{kV}$ と高めに設定し、ドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{cm}^{-2}$ と低めにすれば、領域314～316には、ほとんどの不純物イオンは活性層を通過し、下地膜で最大濃度を示す。このため、領域314～316は極めて低濃度

の不純物領域となる。一方、上にゲイト絶縁膜310～312の存在する領域317～319では、ゲイト絶縁膜によって高速のイオンが減速されて、ちょうど、不純物濃度が最大となり、低濃度の不純物領域を形成することができる。

【0042】逆に、加速電圧を5～30kVと低めに設定し、ドーズ量を $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ と多めにすれば、領域314～316には、多くの不純物イオンが注入され、高濃度の不純物領域となる。一方、上にゲイト絶縁膜310～312の存在する領域317～319では、ゲイト絶縁膜によって低速のイオンが妨げられて、不純物イオンの注入量は低く、低濃度の不純物領域を形成することができる。このように、いずれの方法を用いても、領域317～319は低濃度の不純物領域となり、本実施例では、いずれの方法を採用してもよい。このようにして、イオンドーピングをおこない、N型の低濃度不純物領域317、319とP型の低濃度不純物領域318を形成した後、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、活性層中に導入された不純物イオンの活性化をおこなった。この工程は、RTP（ラピッド・サーマル・プロセス）を用いてもよい。（図5（C））

【0043】この結果、各TFTで高抵抗領域（すなわち、低濃度領域とオフセット領域）の幅が異なった。すなわち、ドライバ回路のNチャネル型TFTでは、高抵抗領域の幅 x_1 はオフセット幅1000Åに低濃度領域の幅1000Åを加えた2000Åであり、同じくPチャネル型TFTにおいては、 x_2 は低濃度領域の幅のみの1000Åであり、画素制御のTFTにおいては、 x_3 はオフセット幅1000Åに低濃度領域の幅500Åを加えた1500Åであった。

【0044】さらに、全面に適当な金属、例えば、チタン、ニッケル、モリブデン、タングステン、白金、パラジウム等の被膜、例えば、厚さ50～500Åのチタン膜320をスパッタ法によって全面に形成した。この結果、金属膜（ここではチタン膜）320は高濃度（もしくは極低濃度）不純物領域314～316に密着して形成された。（図5（D））

【0045】そして、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、金属膜（ここではチタン）と活性層のシリコンを反応させ、金属珪化物（ここでは珪化チタン）の領域330～332を形成した。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。また、レーザー照射時には基板を200～500℃に加熱しておく、チタン膜の剥離を抑制することはできた。なお、本実施例では上記の如く、エキシマーレーザーを用いたが、他のレーザーを用いてもよいことはいうまでもない。ただし、レーザーを用いるにあたってはパルス状のレーザーが好ましい。連

続発振レーザーでは照射時間が長いので、熱によって被照射物が熱によって膨張することによって剥離するような危険がある。

【0046】パルスレーザーに関しては、Nd:YAGレーザー（Qスイッチパルス発振が望ましい）のごとき赤外光レーザーやその第2高調波のごとき可視光、KrF、XeCl、ArF等のエキシマーを使用する各種紫外光レーザーが使用できるが、金属膜の上面からレーザー照射をおこなう場合には金属膜に反射されないような波長のレーザーを選択する必要がある。もっとも、金属膜が極めて薄い場合にはほとんど問題がない。また、レーザー光は、基板側から照射してもよい。この場合には下に存在するシリコン半導体膜を透過するレーザー光を選択する必要がある。

【0047】また、アニールは、可視光線もしくは近赤外光の照射によるランプアニールによるものでもよい。ランプアニールを行う場合には、被照射面表面が600～1000℃程度になるように、600℃の場合は数分間、1000℃の場合は数10秒間のランプ照射を行うようにする。近赤外線（例えば12μmの赤外線）によるアニールは、近赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射時間を短くすることで、ガラス基板に対する加熱を抑えることができる等、使用上、都合が良い。

【0048】この後、過酸化水素とアンモニアと水とを5：2：2で混合したエッチング液で未反応のチタン膜のエッチングした。露出した活性層と接触した部分以外のチタン膜（例えば、ゲイト絶縁膜や陽極酸化膜上に存在したチタン膜）はそのまま金属状態に残っているが、このエッチングで除去できる。一方、金属珪化物である珪化チタン330～332はエッチングされないため、残存させることができた。本実施例では、珪化物領域330～332のシート抵抗は10～50Ω/□となった。一方、低濃度不純物領域317～319では10～100kΩ/□であった。

【0049】そして、アクティブマトリクス回路、NTFT337上に厚さ500～3000Å、例えば、1000Åの窒化珪素膜322を形成した。一般に窒化珪素膜は、正孔を捕獲する性質がある。したがって、特にホットキャリアの発生しやすい用途、例えば、アクティブマトリクス回路のTFT等、において、ホットキャリアや注入によるゲイト絶縁膜のホットエレクトロンの電子のチャージアップを防止するうえで窒化珪素膜322は有効であった。もっとも、PTFTの場合には、窒化珪素膜は形成しない方が好ましい。本実施例で、アクティブマトリクス回路（図の右側）だけに窒化珪素膜322を形成したのは以上の理由による。

【0050】さらに、全面に層間絶縁物321を、CVD法によって酸化珪素膜を厚さ2000Å、

m、例えば、5000Å形成した。そして、配線309に孔324を形成し、窒化珪素膜322を露出させた。そして、スパッタ法によってITO膜を形成し、これをバターニング・エッチングして、画素電極323を形成した。画素電極323は、孔324において、バリヤ型陽極酸化物(1000Å)と窒化珪素膜(1000Å)をはさんで配線309と静電容量を形成する。この際、陽極酸化物も窒化珪素も誘電率が大きく、薄いので僅かな面積で大きな容量を得ることができた。この容量は、アクティブマトリクス画素と対向電極とによって形成される容量に並列に挿入される、いわゆる保持容量として用いられる。すなわち、配線309は対向電極と同じ電位に保たれる。

【0051】その後、層間絶縁物321をエッチングし、TFTのソース/ドレインおよびゲート電極等にコンタクトホールを形成し、2000Å~1μm、例えば5000Åの厚さの窒化チタンとアルミニウムの多層膜による配線・電極325~329を形成した。(図5

(E)) 本実施例では、アクティブマトリクス回路を構成するNTFT337、デコーダー、CPU、メモリー、その他の高周波低消費電力用のNTFT、大電力駆動のドライバー用NTFT、およびPTFTの高抵抗領域幅の値は実施例2と同じとした。かくして、モノリシック型の電気光学装置を有する薄膜集積回路にて、NチャネルTFTとPチャネルTFTとで、高抵抗領域の幅を最適化することが示された。図6には、1枚のガラス基板上にディスプレイから、CPU、メモリーまで搭載した集積回路を用いた電気光学システムのブロック図を示す。本実施例1~3では、このうちのアクティブマトリクス回路とXおよびYデコーダー/ドライバーの部分のみを主として示したにすぎないが、本実施例を発展させれば、より高度な回路、システムを構成することが可能であることは容易に想像のつくことであろう。

【0052】ここで、入力ポートとは、外部から入力された信号を読み取り、画像用信号に変換し、補正メモリーは、アクティブマトリクスパネルの特性に合わせて入力信号等を補正するためのパネルに固有のメモリーである。特に、この補正メモリーは、各画素固有の情報を不揮発性メモリーとして融着、個別に補正するためのものである。すなわち、電気光学装置の画素に点欠陥のある場合には、その点の周囲の画素にそれに合わせて補正した信号を送り、点欠陥をカバーし、欠陥を目立たなくする。または、画素が周囲の画素に比べて暗い場合には、その画素により大きな信号を送って、周囲の画素同じ明るさとなるようにするものである。CPUとメモリーは通常のコンピュータのものと同様で、特にメモリーは各画素に対応した画像メモリーをRAMとして持っている。また、画像情報に応じて、基板を裏面から照射するバックライトを変化させることもできる。

【0053】そして、これらの回路のそれぞれに適した

高抵抗領域の幅を得るために、3~10系統の配線を形成し、個々に陽極酸化条件を変えられるようにすればよい。典型的には、アクティブマトリクス回路においては、チャネル長が10μmで、高抵抗領域の幅は0.4~1μm、例えば、0.6μm。ドライバーにおいては、Nチャネル型TFTで、チャネル長8μm、チャネル幅200μmとし、高抵抗領域の幅は0.2~0.3μm、例えば、0.25μm。同じくPチャネル型TFTにおいては、チャネル長5μm、チャネル幅500μmとし、高抵抗領域の幅は0~0.2μm、例えば、0.1μm。デコーダーにおいては、Nチャネル型TFTで、チャネル長8μm、チャネル幅10μmとし、高抵抗領域の幅は0.3~0.4μm、例えば、0.35μm。同じくPチャネル型TFTにおいては、チャネル長5μm、チャネル幅10μmとし、高抵抗領域の幅は0~0.2μm、例えば、0.1μmとすればよい。さらに、図6における、CPU、入力ポート、補正メモリー、メモリーのNTFT、PTFTは高周波動作、低消費電力用のデコーダーと同様に高抵抗領域の幅を最適化すればよい。かくして、電気光学装置64を絶縁表面を有する同一基板上に形成することができた。

【0054】本発明においては、高抵抗領域の幅を2~4種類、またはそれ以上に用途によって可変することを特徴としている。また、この領域はチャネル形成領域と全く同じ材料、同じ導電型であるという必要はない。すなわち、NTFTでは、微量にN型不純物を、また、PTFTでは微量にP型不純物を添加し、また、選択的に炭素、酸素、窒素等を添加して高抵抗領域を形成することもホットキャリアによる劣化と信頼性、周波数特性、オフ電流とのトレードオフを解消する上で有効である。

【0055】

【発明の効果】本発明によって、各TFTの必要とする特性、信頼性に応じて最適な幅の高抵抗領域を有するTFTを同一基板上に作製することができる。その結果、従来にない自由度を得ることができ、より高度に集積化された回路を構成することができる。このように本発明は工業的価値が大きな発明であるが、特に大面積基板上にTFT群を形成し、これをアクティブマトリクスやドライバー回路、CPU、メモリーに利用して、電気光学システムとし、オンボードの超薄型パソコン、携帯端末とした場合にはその利用分野は限りなく拡大させることができる。さらに、この電気光学システムはインテリジェント化されて、他の単結晶半導体を用いたCPU、コンピュータシステム、画像処理システムと結合することによって、新たな産業を形成するに十分たる資質を有する。

【図面の簡単な説明】

【図1】本発明によるTFT回路の作製方法を示す、(断面図、実施例1)

【図2】本発明によるTFT回路の作製方法を示す、

(上面図、実施例1)

【図3】本発明によるTFT回路の作製方法を示す。

(断面図、実施例2)

【図4】本発明によるTFT回路の作製方法を示す。

(上面図、実施例2)

【図5】本発明によるTFT回路の作製方法を示す。

(断面図、実施例3)

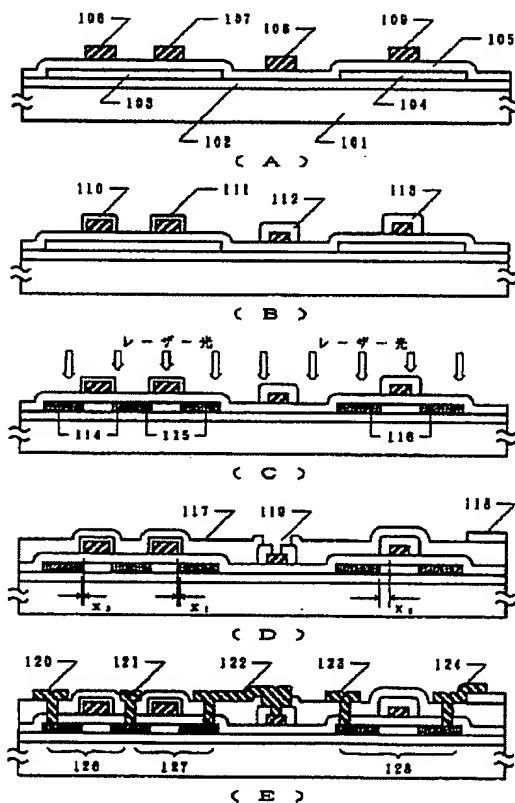
【図6】本発明による集積回路のブロック図の例を示す。

【符号の説明】

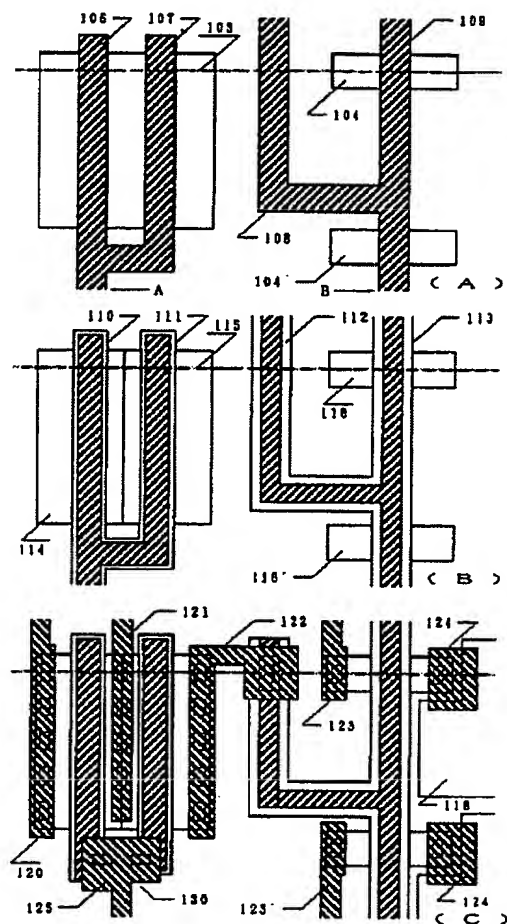
101 基板
102 下地絶縁膜

103、104 島状半導体領域（シリコン）
105 ゲイト絶縁膜（酸化珪素）
106～109 ゲイト電極・配線（アルミニウム）
110～113 陽極酸化物（酸化アルミニウム）
114、116 N型不純物領域
115 P型不純物領域
117 層間絶縁物（酸化珪素）
118 画素電極（ITO）
119 コンタクトホール
120～124 金属配線（窒化チタン／アルミニウム）

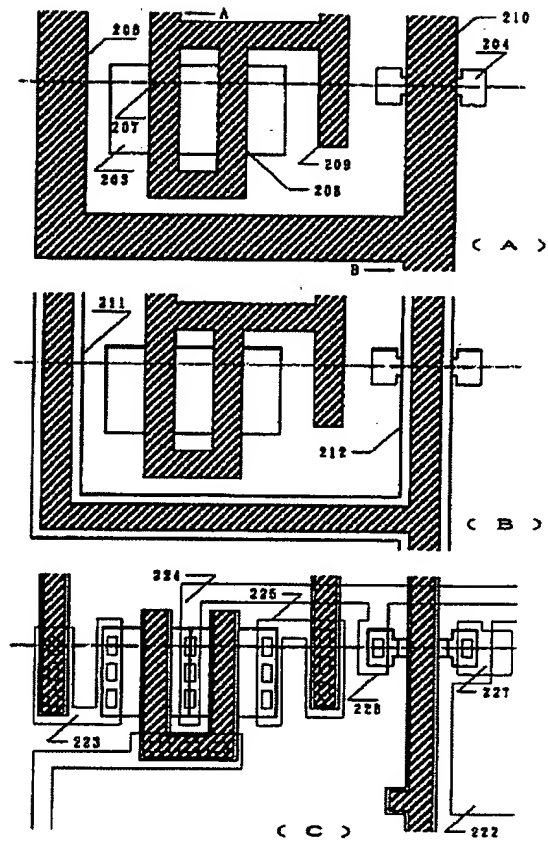
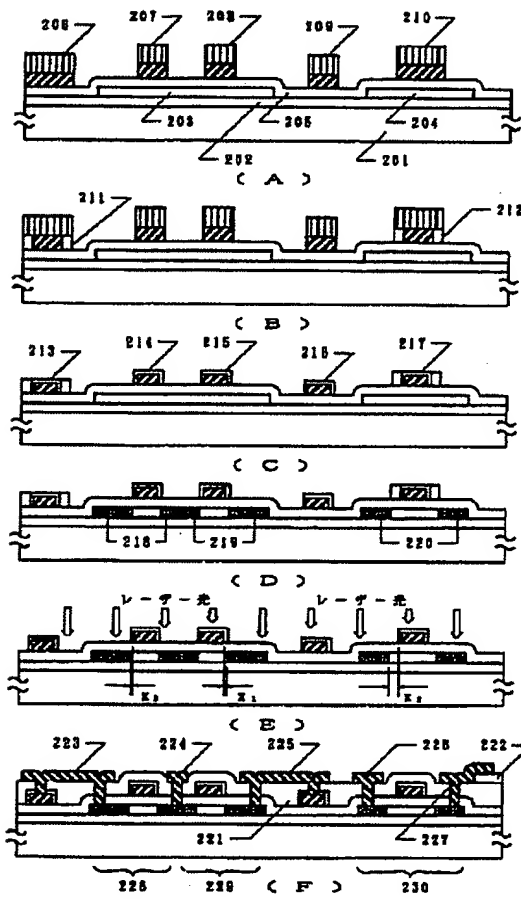
【図1】



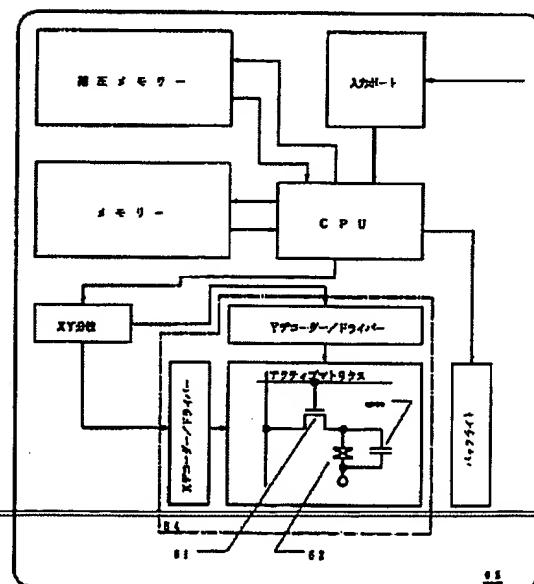
【図2】



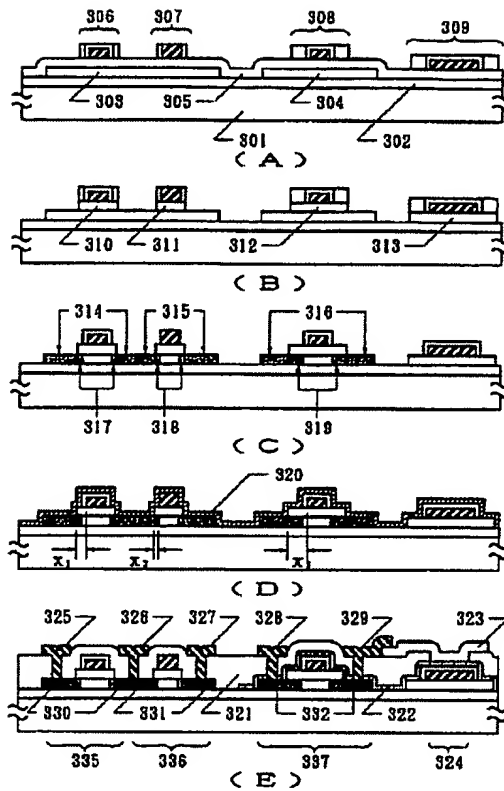
【図 4】



【图 6】



【図5】



フロントページの続き

(72)発明者 山本 陸男
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内